

ارائه الگوریتم حریمانه - خطی جهت تولید خودکار چینش مدارهای کوانتومی

هوشیار ذوالفقارنسب^۱، سید مرتضی حسینی^۲

^۱ دانشجوی کارشناسی ارشد، گروه مهندسی کامپیوتر، دانشگاه اصفهان، اصفهان

hoppico@eng.ui.ac.ir

^۲ دانشجوی کارشناسی ارشد، گروه مهندسی کامپیوتر، دانشگاه اصفهان، اصفهان

mhosayny@gmail.com

چکیده

اگر رایانه‌ای کوانتومی در اختیار بود، پیچیده‌ترین روش‌های رمزنگاری کنونی، در کسری از ثانیه رمزگشایی می‌شدند که دلیل این امر را باید در پردازش فوق‌العاده سریع پردازنده‌های کوانتومی جستجو کرد. طراحی‌هایی که تاکنون توسط متخصصان به منظور ساخت این رایانه‌ها صورت گرفته، به صورت دستی و بدون کمک ابزارهای خودکار طراحی بوده است. در این مقاله، الگوریتم حریمانه-خطی برای تولید خودکار چینش مدارهای کوانتومی در فناوری تله یونی، ارائه می‌شود. هدف از ارائه این الگوریتم، کاهش مساحت و هم‌چنین کاهش تأخیر اجرای مدار، با کمک ایجاد کوتاه‌ترین مسیر بین تله‌های یونی می‌باشد. نتایج تجربی حاصل از پیاده‌سازی نشان می‌دهد که این الگوریتم تأثیر قابل ملاحظه‌ای در کاهش مساحت و تأخیر مدار دارد.

کلمات کلیدی

الگوریتم حریمانه-خطی، تله یونی، چینش فیزیکی، رایانه کوانتومی.

۱- مقدمه

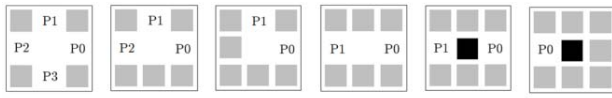
نانومتری و کوچک‌تر بروز می‌کنند، کار کنند [۱]. با استفاده از محاسبات کوانتومی می‌توان بسیاری از مسائل موجود در ماشین‌های کلاسیک را حل کرد. به عنوان مثال، در حل مسائل زیر از الگوریتم‌های کوانتومی استفاده می‌شود: فاکتورگیری [۲]، شبیه‌سازی سامانه‌های مکانیکی کوانتومی [۳] و جستجوی پایگاه داده نامرتب [۴].

دروازه کوانتومی تابعی است که در زمانی مشخص، عملیات خاصی را روی چند کیوبیت انجام می‌دهد. دروازه کوانتومی باید یک تبدیل یکه باشد. دروازه‌های کوانتومی، ترکیب‌هایی خطی هستند [۷، ۹] لذا هر دروازه توسط ماتریس منحصر به فردی قابل نمایش است.

پرکاربردترین دروازه‌های کوانتومی، دروازه‌های هادامارد و CNOT هستند. دروازه هادامارد، دروازه‌ای تک ورودی است که عمل متناظر با ماتریس، تغییر لازم را در بیت کوانتومی ایجاد می‌کند [۹] (رابطه ۱ را ببینید). دروازه CNOT، دروازه‌ای است که با در نظر گرفتن کیوبیتی به نام کنترل، اجازه اعمال تغییر وارون‌سازی روی کیوبیت مقصد را صادر می‌کند [۹، ۱۰]. ماتریس مربوط به این دروازه در رابطه (۲)

کوچک کردن ترانزیستورها و مجتمع کردن آن‌ها در فضای کمتر نمی‌تواند تا ابد ادامه داشته باشد زیرا در حدود ابعاد نانومتری، اثرات کوانتومی از قبیل تونل‌زنی الکترونی^۱ بروز می‌کنند [۱]. بسیاری از دانشمندان در زمینه‌های مختلف به فکر رفع این مشکل افتادند. به این ترتیب بود که برای نخستین بار، Feynman پیشنهاد کرد که باید محاسبات را از دنیای دیجیتال وارد دنیای جدیدی به نام کوانتوم کرد و سپس Shor از آزمایشگاه AT&T در آمریکا نخستین گام را برای محقق کردن این آرزو برداشت [۱]. به این ترتیب ارتباط نوینی بین نظریه اطلاعات و مکانیک کوانتومی شروع به شکل‌گیری کرد که به نام محاسبات کوانتومی^۲ شناخته می‌شود.

هدف از محاسبات کوانتومی، یافتن روش‌هایی برای طراحی مجدد ادوات شناخته شده محاسبات (مانند دروازه‌ها و ترانزیستورها) به گونه‌ای است که بتوانند تحت اثرات کوانتومی که در محدوده ابعاد



شکل (۱): الف) دروازه بن بست، ب) دروازه مستقیم، ج) مسیر مستقیم، د) پیچ، ه) سه راهی و و) چهارراه

مکانی است که در آن ممکن است توسط لیزر مدوله شده^۸، عملی بر روی یون گرفتار شده انجام شود.

تا کنون تحقیقات مهمی بر روی الگوریتم‌های کوانتومی انجام گرفته و مطالعات زیادی نیز در زمینه مصالحه‌های^۹ وابسته به معماری رایانه‌های کوانتومی، صورت گرفته است. تحقیقات مطرح شده [۵، ۶] به جای روش‌های تولید چینش مدارهای کوانتومی، الگوریتم‌های کوانتومی را بر روی یک چینش ثابت، شبیه‌سازی می‌کنند. در این مطالعات، ابتدا چینش‌ها به صورت دستی تولید شده و سپس به صورتی که دارای زمان‌بندی کارا باشند، بهینه می‌شوند. چنین رویکردی به افزایش اندازه مدار منجر می‌شود.

ما در این مقاله، تولید چینش فیزیکی را به صورت خودکار انجام می‌دهیم. به این ترتیب که با مجموعه‌ای از بلوک‌های پایه با فناوری تله یونی شروع می‌کنیم. سپس از این چینش برای تولید طراحی‌های بزرگتر استفاده می‌کنیم. این روش به ما اجازه می‌دهد که طراحی‌های اکتشافی را توسعه داده و ارزیابی کنیم و به این ترتیب از عدم اطمینان و زمان‌گیر بودن چینش‌های تولید شده دستی اجتناب کنیم. از آنجایی که رایانه‌های کوانتومی نسبت به رایانه‌های کلاسیک نسلی جدیدتر هستند، لازم است علاوه بر پوشش مفاهیم قبلی، مفاهیم جدیدی را نیز ارائه دهند تا توان پردازشی فراتری را معرفی کنند. در چند بخش آینده به توصیف این مفاهیم پرداخته می‌شود.

۲- الگوریتم‌های تولید خودکار چینش کوانتومی

در مقاله Whitney و دیگران [۱۶] با کمک یک سری الگوریتم، به تولید چینش^{۱۰} مدارهای کوانتومی پرداخته می‌شود. در آن مقاله به سه الگوریتم بر پایه فناوری تله یونی اشاره شده که در بخش‌های بعدی به توصیف آن‌ها می‌پردازیم. به منظور پیاده‌سازی چینش در هر کدام از الگوریتم‌ها، مسیرهای موجود به عناصر پایه تجزیه شده است، که این عناصر پایه در شکل (۱) نشان داده شده است. به هر یک از این عناصر یک بلوک گفته می‌شود که ساختاری سه در سه دارد. هر بلوک دارای درگاه‌هایی برای عبور یون‌ها می‌باشد و مربع‌های سیاه هم نشان‌دهنده دروازه‌ها هستند.

۲-۱- الگوریتم حریمانه

هدف از الگوریتم حریمانه^{۱۱}، بهینه کردن مساحت مدار همراه با بهینه کردن زمان‌بندی^{۱۲} است [۱۶] که از بین اهداف فوق، تحقق هدف

آمده است. مجموعه شامل دروازه‌های CNOT و هادامارد، مجموعه‌ای کامل را برای تولید تمامی مدارات کوانتومی تشکیل می‌دهند [۷].

$$H = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \quad (1)$$

$$CNOT = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad (2)$$

یک مدار کوانتومی با داشتن حداقل یک بیت کوانتومی و فرض حداقل یک حالت اولیه کوانتومی و همچنین وجود یک توالی از دروازه‌های کوانتومی ایجاد می‌شود [۱۱]. به طور کلی مدارهای کوانتومی فاقد حلقه^{۱۳} یا پس‌خورده^{۱۴} می‌باشند [۷]. بنابراین قابلیت استفاده از امکاناتی همچون fan-in و fan-out وجود ندارد. این ویژگی سبب می‌شوند تا الگوریتم‌های ارائه شده برای مدارهای دیجیتال، در مورد مدارهای کوانتومی کارایی نداشته باشند.

روش‌های متعددی به منظور پیاده‌سازی پردازنده‌های کوانتومی وجود دارد. یکی از فناوری‌هایی که منجر به نتایج رضایت‌بخشی در زمینه ساده‌سازی پیاده کردن پردازنده‌های کوانتومی شده است، فن‌آوری تله یونی می‌باشد [۸، ۱۳، ۱۴]. در فناوری تله یونی، یون‌ها یا ذرات اتمی بارشده در یک فضای خالی که در آن میدان‌های الکترومغناطیسی وجود دارد، محدود و معلق می‌شوند. کیوبیت‌ها در حالت‌های الکترونیکی پایدار مربوط به هر یون ذخیره می‌شوند و همچنین اطلاعات کوانتومی، پردازش شده و از طریق حرکت دسته‌جمعی یون‌ها در تله منتقل می‌شود [۸]. از طرفی، لیزرها برای فراهم کردن رابطه متقابل بین حالت‌های کوانتومی (برای عملیات تک کیوبیتی) و یا رابطه متقابل بین حالت‌های داخلی کیوبیت‌ها و حالت‌های حرکتی خارجی (برای درهم تنیدگی بین کیوبیت‌ها) به کار می‌روند.

در سامانه‌های تله یونی، انجام عملیات پایه‌ای یک رایانه کوانتومی، به طور تجربی با دقت بالایی (که در زبان محاسبات کوانتومی، وفاداری^{۱۵} بالا گفته می‌شود) همراه است و همچنین از طریق حمل یون‌ها در آرایه دلخواهی از تله‌های یونی، تدبیری برای مقیاس‌پذیر کردن اندیشیده شده است. این امر باعث می‌شود که سامانه تله یونی، یکی از امیدبخش‌ترین معماری‌ها جهت ساخت پردازنده اطلاعات کوانتومی^{۱۶} که جامع و در عین حال مقیاس‌پذیر است، گردد [۱۲].

ما تله یونی [۱۳، ۱۴] را به عنوان فناوری زیر لایه انتخاب نمودیم. یون‌های گرفتار شده، توان بالقوه زیادی را در مقیاس‌پذیری نشان داده‌اند [۱۵]. در این فناوری، کیوبیت فیزیکی یک یون است و دروازه،

دروازه‌های مورد نظر قرار گیرند و دیگر این‌که این بیت‌ها به صورت تصادفی در چینش قرار داده می‌شوند [۱۶]. بعد از انتخاب سلول و تکرار آن در مدار، لازم است تا مدار زمانبندی شود. ایجاد ساختار پایه و انتخاب ساختار معتبر، چالش‌هایی به دنبال دارد. با در نظر گرفتن اندازه کوچک برای ساختار پایه، پیاده‌سازی و بررسی راحت‌تر قابل انجام است. اما اگر ساختار پایه بزرگ در نظر گرفته شود، زمان انتخاب ساختار به صورت نمایی افزایش خواهد یافت. با این دیدگاه شاید روش طراحی مبتنی بر ساختارهای پایه کوچک برای مدارهای کم تراکم، خوب به نظر برسد ولی برای مدارهای بزرگ، ایجاد ساختارهای ناهمگن بسیار مناسب‌تر است.

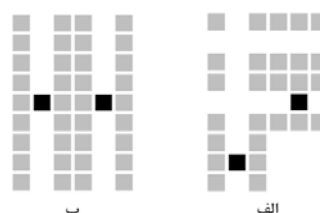
۲-۳- الگوریتم جریان داده‌ها

ایده کلی الگوریتم جریان داده‌ها^{۱۴}، ایجاد گروه‌هایی از دروازه‌ها می‌باشد. تمام دروازه‌های قرار گرفته در یک گروه، در یک تله مشترک اعمال می‌شوند. شروع الگوریتم از جایی با تعدادی گره است که در هر کدام از آن‌ها یک دستور قرار گرفته است. برای چینش جریان داده، ساختمان داده‌ای مبتنی بر گراف ارائه می‌شود. تأخیر حاصل از این ساختار در هر مسیر محاسبه شده و به عنوان وزن روی یال گراف مورد نظر نوشته می‌شود. بدین گونه مسیر بحرانی مشخص می‌شود. سپس الگوریتم به بررسی گروه‌هایی می‌پردازد که با ادغام آن‌ها، زمان مسیر بحرانی کاهش یابد. با اعمال هر تغییر، تأخیرها دوباره محاسبه شده و مسیر بحرانی جدید مشخص خواهد شد. این تغییرات و بررسی‌ها تا زمانی ادامه می‌یابد که دیگر با اعمال تغییرات، نتوان زمان بحرانی را کاهش داد. در این مرحله، چینش نهایی به عنوان خروجی معرفی می‌شود.

۳- معرفی الگوریتم حریمانه-خطی

با ادغام دیدگاه حریمانه و الگوریتم رشد خطی، الگوریتم تازه‌ای ارائه شد که هدف آن، کمینه کردن زمان ارتباط بیت‌های کوانتومی است، با فرض اینکه کمینه کردن مساحت با دقت کمتری دنبال شود. به علاوه، این الگوریتم به طور جانبی همراه با تغییراتی، تا حدودی قابلیت مدیریت مساحت تراشه را هم دارد. هم‌چنین این امکان برای الگوریتم وجود دارد که در برخی شرایط به طور موازی، چند یون را برای اجرا در یک دروازه کوانتومی جای‌جا کند. نتیجه این موازی‌سازی، کاهش چشمگیر زمانبندی مدار خواهد بود. هم‌چنین ما در این روش از پنج بلوک از مجموع شش بلوک معرفی شده (بلوک‌های موجود در شکل (۱) به غیر از بلوک دروازه مستقیم) به علت کاربرد بیش‌تر استفاده می‌کنیم.

کمینه کردن مساحت در این الگوریتم بارزتر است. این روش، دروازه‌ها را به ترتیب از پرونده ورودی خوانده و در هر مرحله فرض می‌کند که مدار، تکمیل شده است. چینش مدار با این فرض پیاده‌سازی شده و سپس دروازه بعدی موجود در پرونده را می‌خواند. قرار دادن هر دروازه در چینش، بستگی به ارتباط دروازه مورد نظر با کیوبیت‌هایی دارد که در عملیات آن دروازه شرکت می‌کنند. در نهایت می‌توان این‌گونه استنباط کرد که در هر بار با اضافه شدن دروازه‌ای به چینش، مدار از نو زمانبندی می‌شود.

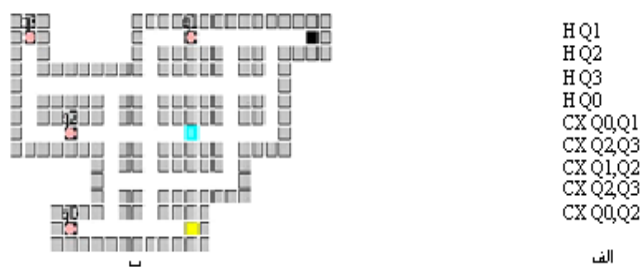
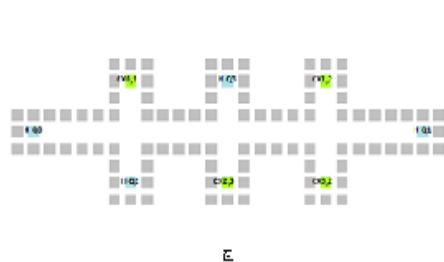


شکل (۲): الف) یک سلول معتبر و ب) یک سلول نامعتبر در الگوریتم چینش توری

۲-۲- چینش توری

چینش توری^{۱۳} بر این اساس استوار است که با ساختن چندین سلول از بلوک‌های شش‌گانه، سلول بهینه را انتخاب کرده و آنگاه مساحت مورد نظر را با تکرار سلول ساخته شده پر می‌کند. صرفاً با داشتن تعداد دروازه‌ها و بیت‌های کوانتومی مدار می‌توان این روش را پیاده‌سازی کرد [۱۶]. علاوه بر این، داشتن شکلی منظم و ساختاری منسجم باعث تسهیل حرکت یون‌ها می‌شود. این روش با ترتیب زیر قابل بیان است:

- ۱- با فرض داشتن اندازه سلول پایه، مجموعه‌ای از ساختارهای معتبر برای سلول پایه با استفاده از بلوک‌ها ایجاد می‌شود. سپس ساختار بهینه از بین این مجموعه انتخاب می‌گردد.
 - ۲- این ساختار در کنار هم تکرار می‌شود تا مساحت تراشه پر شود.
 - ۳- مکان اولیه بیت‌های کوانتومی توسط کاربر یا نرم‌افزار مشخص می‌شود.
 - ۴- مدار کوانتومی بر روی چینش ایجاد شده، زمانبندی می‌شود. منظور از ساختار معتبر در ترتیب فوق، ساختاری است که اگر درگاهی به خارج داشته باشد، ساختار همسان که در کنارش قرار می‌گیرد، درگاه ورود برای پذیرش ارتباط داشته باشد [۱۶]. به طور خلاصه، درگاه‌های ساختارها باید طوری تنظیم شوند که بتوان با عبور از هر درگاه، به مسیر داخلی ساختار مجاور دسترسی داشت (شکل (۲) را ببینید).
- برای تعیین مکان بیت های کوانتومی، دو دیدگاه وجود دارد: یکی این‌که بیت‌های کوانتومی از چپ به راست یا از بالا به پایین در

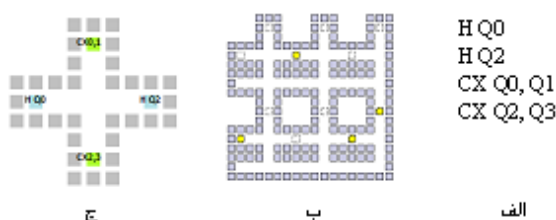


الف

شکل (۳): الف) پرونده ورودی، ب) چینش تولیدی توسط الگوریتم جریان داده‌ها و ج) چینش تولیدی توسط الگوریتم حریمانه-خطی برای یک مدار نمونه

هر گره در این ساختمان داده، لازم است به گره پدر اتصال داشته باشد. هر گره به جز اولین «سه‌راهی»، «چهار راه»، «مسیر مستقیم» و یا «دروازه بن‌بستی» که بعد از اولین موجودیت قرار گرفته باشد، دارای پدر است. در این پیاده‌سازی، اتصال چپ هر موجودیت، برای ارتباط با «پدر» در نظر گرفته شده است. البته «دروازه بن‌بست» از سمت راست به گره پدرش متصل می‌شود. اتصال‌های راست، بالا و پایین (البته در صورت وجود برای موجودیت) برای ارتباط با گره‌های فرزند آن موجودیت در نظر گرفته شده‌اند. برای موجودیت‌های نامعتبر (فرزندانی از یک موجودیت که معتبر نباشند، مثل اتصال بالا برای موجودیت مسیر مستقیم) اتصال‌های فرزندی اختصاص نمی‌یابد. در واقع مکانی از ساختمان داده درخت برای آن‌ها در نظر گرفته نمی‌شود.

برای محاسبه زمان عملکرد مدار، لازم است تا زمان لازم برای جابه‌جایی کیوبیت از مبدأ به محل اعمال دروازه، زمان لازم برای اعمال عملیات و زمان مورد نیاز برای بازگشت کیوبیت به دروازه مبدأ محاسبه شود [۱۶]. البته هر کیوبیت بعد از اعمال عملیات در دروازه مقصد، برای ارسال به دروازه دیگر، می‌تواند بدون بازگشت به دروازه مبدأ از همان دروازه مقصد استفاده نماید [۱۶]؛ اعمال شرط عدم تجمع کیوبیت‌ها در دروازه خروجی، بر عهده کنترل‌کننده مدار کوانتومی است. در کنار این امر، موازی‌سازی ارسال کیوبیت‌ها نیز با رعایت شرط عدم برخورد کیوبیت‌ها در طول کانال مشترک، باعث می‌شود تا زمان اجرای مدار، بسیار کمتر از اجرای ترتیبی دستورات شود.



H Q0
H Q2
CX Q0, Q1
CX Q2, Q3

الف

شکل (۴): الف) پرونده ورودی، ب) چینش تولیدی توسط الگوریتم چینش توری و ج) چینش تولیدی توسط الگوریتم حریمانه-خطی برای یک مدار نمونه

مراحلی که در الگوریتم حریمانه-خطی انجام می‌شوند را می‌توان به ترتیب زیر بازنویسی کرد:

- ۱- اولین کیوبیت را با قراردادی آن درون یک دروازه بن‌بست در مدار قرار می‌دهد.
- ۲- دومین کیوبیت را نیز درون یک دروازه بن‌بست قرار داده و دروازه ایجاد شده را به مدار حاصل از مرحله قبل متصل می‌کند.

چینش ایجاد شده تا این مرحله، یک چینش حلقه بسته است.

۳- الگوریتم، کیوبیت بعدی را از لیست ورودی خوانده و مشخص می‌سازد که کیوبیت مزبور، قبلاً در مدار ایجاد شده یا اینکه لازم است برای به دام انداختن یون آن، دروازه بن‌بستی ایجاد شود.

۴- کیوبیت خوانده شده را در مکانی قرار می‌دهد که در میانه فاصله کیوبیت‌هایی باشد که در ایجاد آن دخیل می‌باشند. برای انجام چنین عملی نیاز به ایجاد سه‌راهی یا تبدیل سه‌راهی به چهارراه در مکانی که دروازه جدید اضافه می‌شود، می‌باشد.

۵- الگوریتم تا رسیدن به انتهای لیست کیوبیت‌ها، مراحل ۳ و ۴ را تکرار می‌نماید.

۶- بنا به تعریف مدارات تله یونی، در نهایت نیاز به اضافه کردن مسیرمستقیم در بین سه‌راهی‌ها و چهارراهی‌ها می‌باشد که این تغییر در نهایت بر روی چینش، قابل اعمال است.

برای پیاده‌سازی چنین ایده‌ای، نیاز به تعریف یک ساختمان داده به صورت درخت سه‌تایی می‌باشد (توجه به عدم وجود حلقه در مدارهای کوانتومی، الگوریتم را به سمت استفاده از ساختار درخت سوق داد). هر زیر درخت، حداکثر می‌تواند سه فرزند داشته باشد (قابل ذکر است که می‌تواند فرزندی هم نداشته باشد).

به ازای هر فرزند، یک اتصال خروجی یا مسیر خروجی از گره مذکور وجود دارد. به عنوان مثال، برای موجودیت «مسیر مستقیم»، یک گره خروجی، برای «سه‌راهی»، دو مسیر خروجی و برای «چهار راه» سه مسیر خروجی در نظر گرفته شده است. قابل ذکر است که برای «دروازه بن‌بست» مسیر خروجی یا گره فرزندی اختصاص نیافته است. لذا «دروازه بن‌بست» فقط می‌تواند به صورت برگ باشد.

جدول (۱): مقایسه کمی بین الگوریتم‌های ارائه شده در [۱۶] و الگوریتم پیشنهادی

تأخیر (μs)	مساحت (واحد)	روش آگاهانه (Heuristic)	مدار
۷۶۸/۲	۲۳۱	جریان داده‌ها (Non-folded DF, 2 global channels, critical combining)	[[7, 1, 3]] L1 encode
۷۱۲/۴	۱۸۲	جریان داده‌ها (Folded DF, 2 global channels, critical combining)	
۷۹۵/۴	۱۲۶	جریان داده‌ها (Folded DF, 1 global channels, critical combining)	
۵۴۸	۴۹	توری QPOS	
۵۰۹	۴۹	توری بهینه	
۶۴۸	۳۶	حریصانه	
۴۷۶	۲۷	الگوریتم حریصانه-خطی	
۲۱۶۹/۲	۲۸۸۰	جریان داده‌ها (Non-folded DF, 2 global channels, critical combining)	[[23, 1, 7]] Golay encode
۲۲۴۸/۲	۱۳۹۴	جریان داده‌ها (Folded DF, 2 global channels, critical combining)	
۲۲۶۴	۷۱۳	جریان داده‌ها (Folded DF, 1 global channels, critical combining)	
۲۲۶۸	۵۷۵	توری QPOS	
۱۸۰۱	۵۷۵	توری بهینه	
۲۴۵۷	۱۶۸	حریصانه	
۴۵۷۶	۱۴۴	الگوریتم حریصانه-خطی	

فیزیکی که در چینش‌های مورد ارزیابی در جدول (۱) استفاده شده‌اند، آمده است [۱۷].

جدول (۲): مقادیر تأخیر برای عملیات فیزیکی مختلف در فناوری تله یونی

زمان تأخیر (μs)	نماد تأخیر	عملیات فیزیکی
۱	t_{1q}	دروازه تک کیوبیتی
۱۰	t_{2q}	دروازه دو کیوبیتی
۵۰	t_{meas}	اندازه‌گیری
۵۱	t_{prep}	آماده شدن صفر
۱	t_{move}	حرکت مستقیم
۱۰	t_{turn}	پیچیدن

۵- نتیجه‌گیری

ارائه روشی برای تولید خودکار مدارهای کوانتومی در مقابل روش دستی، باعث می‌شود که با افزایش ابعاد مدار، رفتار خودسرانه‌ای در آن بروز نکند. در این مقاله الگوریتمی برای تولید خودکار چینش فیزیکی برای مدارهای کوانتومی در فناوری تله یونی ارائه کردیم. سپس آن‌را پیاده‌سازی نموده و با الگوریتم‌های ارائه شده در [۱۶]، برای مدارهای یکسان، مقایسه کردیم. مشخص شد که با استفاده از این الگوریتم، می‌توان به چینشی با مساحت کمتر، نسبت به الگوریتم‌های مذکور دست یافت.

مراجع

- [1] M. Saeedi, "Proposing a Quantum Circuit Synthesis Methodology Based on a Building Block Library," Amirkabir University of Technology, 2007.
- [2] P.W. Shor, "Polynomial-time algorithms for prime factorization and discrete logarithms on a quantum computer," 35th Ann. Symp. on Foundations of Comp. Science (FOCS), pages 124-134, 1994.
- [3] C. Zalka, "Simulating quantum systems on a quantum computer," Proceedings: Mathematical, Physical and Engineering Sciences, 454(1969):313-322, 1998.
- [4] L. Grover. Symposium on Theory of Computing, pp. 212-219, STOC, 1996.

۴- نتایج پیاده‌سازی

در شکل (۳)، نمونه‌ای از چینش تولید شده توسط الگوریتم حریصانه-خطی به همراه چینش تولیدی توسط الگوریتم جریان داده‌ها برای یک پرونده ورودی نمونه آمده است. هم‌چنین در شکل (۴)، الگوریتم پیشنهادی برای یک مدار نمونه دیگر به صورت طرح‌وار با الگوریتم چینش توری مقایسه شده است. همان‌طور که در شکل می‌بینید، الگوریتم پیشنهادی، دارای مساحت کمتری نسبت به این دو الگوریتم می‌باشد. هم‌چنین برای مدارهایی با تعداد کیوبیت‌های کم، دارای تأخیر کمتری نیز می‌باشد.

در جدول (۱)، الگوریتم‌های ارائه شده در [۱۶] از لحاظ تأخیر و مساحت به صورت کمی با الگوریتم حریصانه-خطی مقایسه شده‌اند. لازم به ذکر است که در جدول (۲)، مقادیر تأخیر برای هر عملیات

- [5] S. Balensiefer, L. Kregor-Stickles and M. Oskin, "An evaluation framework and instruction set architecture for ion-trap based quantum micro-architectures," *Proc. 32nd Annual International Symposium on Computer Architecture*, 2005.
- [6] T.S. Metodi, D.D. Thaker, A.W. Cross, F.T. Chong and I.L. Chuang, "Scheduling physical operations in a quantum information processor," *Proceedings of SPIE*, 6244:62440T, 2006.
- [7] M. A. Nielsen, I. L. Chuang, "Quantum computation and quantum computation," Cambridge University Press, 2000.
- [8] W. Paul, "Electromagnetic traps for charged and neutral particles," *Rev. Mod. Phys.*, 62, 531, 1990.
- [9] Wikipedia encyclopedia, "Quantum gate," http://en.wikipedia.org/wiki/Quantum_gate, August 2010.
- [10] Nielsen, Michael A. & Chuang, Isaac L. *Quantum Computation and Quantum Information*. Cambridge University Press. 2000.
- [11] Wikipedia encyclopedia, "Quantum circuit," http://en.wikipedia.org/wiki/Quantum_circuit, August 2010.
- [12] A. Steane, "The ion trap quantum information processor," *Appl. Phys. B.*, 64, 623, 1997.
- [13] J. I. Cirac and P. Zoller, "Quantum computations with cold trapped ions," *Phys. Rev. Lett.*, 74:4091–4094, 1995.
- [14] C. Monroe, D. M. Meekhof, B. E. King, W. M. Itano and D. J. Wineland, "Demonstration of a universal quantum logic gate," *Phys. Rev. Lett.*, 75:4714–4717, 1995.
- [15] D. Kielpinski, C. Monroe and D.J. Wineland, "Architecture for a large-scale ion-trap quantum Computer," *Nature*, 417:709–711, 2002.
- [16] M. Whitney, N. Isailovic, Y. Patel and J. Kubiatowicz, "Automated generation of layout and control for quantum circuits," *Proceedings of the 4th international conference on Computing frontiers*, ACM, pp 83-94, 2007.
- [17] M. Whitney, N. Isailovic, Y. Patel, J. Kubiatowicz, "A fault tolerant, area efficient architecture for Shor's factoring algorithm," ISCA'09, 2009.

-
- ¹ electron tunneling
² quantum computing
³ Controlled-Not
⁴ loop
⁵ feedback
⁶ fidelity
⁷ Quantum Information Processor (QIP)
⁸ modulated laser
⁹ trade-offs
¹⁰ layout
¹¹ greedy algorithm
¹² scheduling
¹³ grid-based
¹⁴ data flow